

## DIRECTIONAL COUPLER

Publication number: JP6045811 (A)

Publication date: 1994-02-18

Inventor(s): ARAI YUKIKAZU; OSAWA MASATAKA; ANDO YUKIHIRO

Applicant(s): TAISEI KOKI KK

Classification:

- International: H01P5/18; H01P5/16; (IPC1-7): H01P5/18

- European:

Application number: JP19920197251 19920723

Priority number(s): JP19920197251 19920723

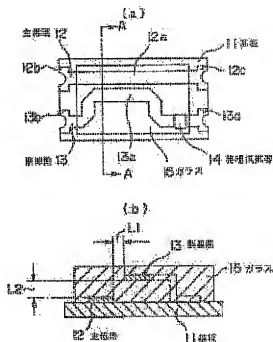
Also published as:

JP6045811 (T1)

JP3215170 (B2)

## Abstract of JP 6045811 (A)

**PURPOSE:** To provide a directional coupler which is compact and provided with a low insertion loss over wide frequency bands. **CONSTITUTION:** A sub line 13 parallel to a main line 12 is formed on a substrate 11 by strip lines together with a main line 12. At this time, the central part 13a of the sub line 13 is positioned away from the main line 12 just for a distance L1 in a direction parallel to the surface of the substrate and away from the main line just for a distance L2 in a direction vertical to the surface of the substrate. Further, a terminating resistor 14 is formed by thick film printing at one part of the sub line. Thus, the range of adjusting the degree of coupling the main line 12 and the sub line 13 is widened, the frequency characteristic of the insertion loss can be easily set to a desired design value and the shape can be miniaturized.



Data supplied from the esp@cenet database — Worldwide

(51)Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 P 5/18

A 8941-5 J

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号 特願平4-197251

(22)出願日 平成4年(1992)7月23日

(71)出願人 390023216

株式会社タイセー

埼玉県秩父郡吉田町大字下吉田8972

(72)発明者 新井 幸和

埼玉県秩父郡吉田町大字下吉田8972 株式  
会社タイセー内

(72)発明者 大沢 正孝

埼玉県秩父郡吉田町大字下吉田8972 株式  
会社タイセー内

(72)発明者 安藤 幸浩

埼玉県秩父郡吉田町大字下吉田8972 株式  
会社タイセー内

(74)代理人 弁理士 吉田 精孝

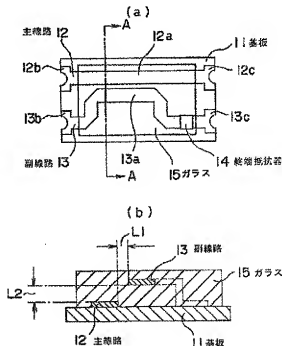
## (54)【発明の名称】 方向性結合器

## (57)【要約】

【目的】 小形で、且つ広周波数帯域に亘って低い挿入損失を有する方向性結合器を提供すること。

【構成】 主線路12に対して平行な副線路13を、主線路12と共にストリップラインによって基板11上に形成する。このとき、副線路13の中央部13aが、主線路12から基板表面に対して平行な方向に距離L1だけ離れ、且つ基板表面に対して垂直な方向に距離L2だけ離れた位置となるようにする。さらに、副線路の一端部に厚膜印刷により終端抵抗器14を形成する。

【効果】 主線路12と副線路13との間の結合度の調整範囲が広がり、挿入損失の周波数特性を所望の設計値に容易に設定できると共に、形状を小型に形成することができる。



1

## 【特許請求の範囲】

【請求項1】 誘電体基板上に形成されたマイクロストリップ線路からなる主線路及び該主線路に平行な少なくとも一の副線路とを備え、前記主線路と前記副線路とが、前記誘電体基板の表面に対して平行な方向及び垂直な方向に所定距離ずらして形成されている、ことを特徴とする方向性結合器。

【請求項2】 前記副線路の一端に接続された終端抵抗器を前記誘電体基板上に成膜形成したことを特徴とする請求項1記載の方向性結合器。

【請求項3】 前記主線路と前記副線路とを磁性部材により覆ったことを特徴とする請求項1又は2記載の方向性結合器。

【請求項4】 前記主線路と前記副線路との間に誘電体部材を介在したことを特徴とする請求項1、2又は3記載の方向性結合器。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、方向性結合器に関し、特にマイクロストリップ線路によって形成された方向性結合器に関するものである。

## 【0002】

【従来の技術】従来、電子回路の小型化、集積化が進むにつれ、各素子部品の小型化が望まれるようになってきている。この様に小型化が望まれる素子部品の一つとして、方向性結合器が知られている。

【0003】方向性結合器は、携帯無線電話機等の送信電力制御に用いられる電力抽出器等として使用され、十分な方向性と低歪率が要求されている。

【0004】十分な方向性、低歪率及び小型化を実現した方向性結合器の一例として、1991年電子情報通信学会秋期大会に発表されたCM型方向性結合器が知られている。この方向性結合器の等価回路を図2に、また断面構造図を図3に示す。図において、1は主線路、2は副線路で、主線路1及び副線路2は例えば直径0.5mmの導体線路からなり、これらは所定の間隔を開けて平行に配置されている。また、主線路1及び副線路2の周囲は、比誘電率が4の誘電体3によって満たされ、さらにこの周囲は外径4.0mm、内径2.0mmのカーボニル鉄ダストコアからなる磁性体4によって覆われている。さらにまた、これら全体が、プリント基板上に実装しやすいように射出成形によってモールドされている。また、使用に際しては副線路2の一端に終端抵抗器5が接続される。

【0005】前述の構成よりなる方向性結合器によれば、1/4波長結合線路を用いた方向性結合器に比べて実装時の占有面積を1/10に小型化することができる。

## 【0006】

【発明が解決しようとする課題】しかしながら、前述し

2

た従来のダストコアを用いたCM型方向性結合器においては、図4に示すように周波数が高くなるにつれ挿入損失ISN-LOSSが増加し、高周波帯域における使用が困難であるという問題点があった。

【0007】例えば、900MHz帯用のCM型方向性結合器の周波数特性は図4に示すものとなる。図において、横軸は周波数を示し、縦軸は挿入損失ISN-LOSS進行波P<sub>f</sub>、反射波P<sub>r</sub>を表し、挿入損失ISN-LOSSの単位は1dB/DIV、進行波P<sub>f</sub>及び反射波P<sub>r</sub>の単位は10dB/DIVである。

【0008】901.5MHzにおける挿入損失ISN-LOSSは-0.3425dBと小さいが、1.5GHz付近では-1dB程度まで増大している。一般に、方向性結合器における挿入損失ISN-LOSSは低いほど良いとされ、実用的には-0.5dB以下が好ましい。

【0009】本発明の目的は上記の問題点に鑑み、小形で、且つ広周波数帯域に亘って低い挿入損失を有する方向性結合器を提供することにある。

## 【0010】

【課題を解決するための手段】本発明は上記の目的を達成するために請求項1では、誘電体基板上に形成されたマイクロストリップ線路からなる主線路及び該主線路に平行な少なくとも一の副線路とを備え、前記主線路と前記副線路とが、前記誘電体基板の表面に対して平行な方向及び垂直な方向に所定距離ずらして形成されている方向性結合器を提案する。

【0011】また、請求項2では、請求項1記載の方向性結合器において、前記副線路の一端に接続された終端抵抗器を前記誘電体基板上に成膜形成した方向性結合器を提案する。

【0012】また、請求項3では、請求項1又は2記載の方向性結合器において、前記主線路と前記副線路とを磁性部材により覆われている方向性結合器を提案する。

【0013】さらに、請求項4では、請求項1、2又は3記載の方向性結合器において、前記主線路と前記副線路との間に誘電体部材を介在した方向性結合器を提案する。

## 【0014】

【作用】本発明の請求項1によれば、誘電体基板上に形成された主線路及び副線路は、誘電体基板の表面に対して平行な方向及び垂直な方向にずらして形成される。これにより、前記主線路と副線路との間の距離が変わり、前記主線路と副線路との間の電位結合の状態が変化する。さらに、前記主線路と副線路との結合面積が増大される。

【0015】また、請求項2によれば、前記副線路の一端には、前記誘電体基板上に成膜形成された終端抵抗器が接続され、該終端抵抗器の抵抗値を変えることにより整合状態が変化する。

【0016】また、請求項3によれば、前記主線路及び

50

副線路は磁性部材により覆われる。これにより、前記主線路と副線路の周囲の透磁率が変わり、前記主線路と副線路との間の電磁結合の状態が変化される。

【0017】さらに、請求項4によれば、前記主線路と前記副線路の間には誘電体部材が介在される。これにより、前記主線路及び副線路の特性インピーダンスが変わる。

【0018】

【実施例】以下、図面に基づいて本発明の一実施例を説明する。図1は本発明の第1の実施例を示す構成図で、図1の(a)は平面図、図1の(b)は(a)におけるA-A線矢視方向の断面図であり、図5はその等価回路図である。また、第1の実施例は、1.9GHz程度の周波数において用いられるように構成されている。図において、11は例えばアルミナ等の誘電体からなる基板で、4.5mm×2.5mm×1.0mmの矩形形状を有し、その上面には主線路12及び副線路13が形成されている。

【0019】主線路12及び副線路13のそれぞれは、厚膜印刷を用いて形成された所定の幅及び厚さを有するストリップラインからなり、副線路13の中央部13aは直線状に形成された主線路12に対して平行に形成されている。また、副線路13の中央部13aは、主線路12から基板表面に対して垂直な方向に距離L1だけ離れ、且つ基板表面に対して垂直な方向に距離L2だけ離れた位置に形成されると共に、副線路13の一端部には厚膜印刷により78Ωの抵抗値を有する終端抵抗器14が形成され、終端抵抗器14を介して接地できるようにになっている。さらに、主線路12と副線路13の間には所定の誘電体、例えばガラス15が介在されると共に、主線路12及び副線路13の表面は両端部を除きガラス15によって覆われている。

【0020】前述の構成によれば、主線路12及び副線路13のそれぞれはインダクタを構成し、さらにこれらの主線路12及び副線路13は接近して配置されると共に、これらの間には誘電体が介在されているので、主線路12と副線路13は誘導結合及び容量結合をなす。従って、周知の容量誘導(CM)型方向性結合器が構成され、主線路12の他端12bから一端12cへ向かう信号のみが、副線路13の他端13bに出力される。

【0021】図6は、第1の実施例における特性の実測値を示す図である。図において、横軸は周波数で、また縦軸は挿入損失INS-LOSS、進行波P<sub>f</sub>、及び反射波P<sub>r</sub>を表している。実測における周波数は0.1~3.0GHzとした。挿入損失INS-LOSSは周波数が増してもほぼ一定値を維持し、0.9dB、1.2GHz、1.5GHz、1.9GHz、2.4GHzの5つの周波数f1~f5における値はそれぞれ-0.04dB、-0.05dB、-0.11dB、-0.13dB、-0.34dBとなり、実用上支障の無い値となっている。また、周波数f1~f5における進行波P<sub>f</sub>は-21.25dB、-19.98dB、-17.14dB、-15.13dB、-13.45dBとなり、反射波P<sub>r</sub>は-47.24dB、-41.25dB、

-37.81dB、-34.26dB、-31.50dBとなった。これにより、各周波数f1~f5における結合度は21.48dB、19.93dB、17.03dB、15.00dB、13.11dBとなり、また分離度は25.27dB、21.27dB、20.67dB、19.13dB、18.06dBとなった。従って、広帯域に亘って使用可能な小型の方向性結合器を得ることができた。

【0022】また、前述した距離L1、L2を変えて、主線路12と副線路13との間の相対位置関係を変えることにより、結合度及び分離度を広範囲に亘って変化させることができ、この場合、終端抵抗器14の抵抗値を変えることにより、容易に整合をとることができる。さらに、1/4波長結合線路を用いた方向性結合器に比べて実装時の占有面積を1/10以下に小型化することができる。

【0023】次に、本発明の第2の実施例を説明する。図7は第2の実施例を示す構成図で、図7の(a)は平面図、図7の(b)は(a)におけるB-B線矢視方向の断面図であり、図8はその等価回路図である。また、第2の実施例は、第1の実施例と同様に1.9GHz程度の周波数において用いられるように構成されている。図において、21は例えばアルミナ等の誘電体からなる基板で、4.5mm×2.5mm×1.0mmの矩形形状を有し、その上面には主線路22及び副線路23が形成されている。

【0024】主線路22及び副線路23のそれぞれは、厚膜印刷を用いて形成された所定の幅及び厚さを有するストリップラインからなり、副線路23の中央部23aは直線状に形成された主線路22の中央部22aに対して平行に形成されている。また、主線路22及び副線路23の中央部22a、23aは、基板表面に対して垂直な方向に距離L3だけ離れた位置に形成されると共に、これらの周囲はセグメント或いは鉄等の磁性体からなるコア24によって囲われている。さらに、コア24と主線路22及び副線路23との間にはガラス25等の誘電体が充填されると共に、コア24の周囲はガラス25によって覆われている。

【0025】また、副線路23の一端部には厚膜印刷により43.6Ωの抵抗値を有する終端抵抗器26が形成され、副線路23の一端部は終端抵抗器26を介して接地できるようにになっている。

【0026】前述の構成によれば、主線路22及び副線路23のそれぞれはインダクタを構成し、さらにこれらの主線路22及び副線路23は接近して配置されると共に、これらの間には誘電体が介在されているので、主線路22と副線路23は誘導結合及び容量結合をなす。従って、周知の容量誘導(CM)型方向性結合器が構成され、主線路22の他端22aから一端22bへ向かう信号のみが、副線路23の他端23aに出力される。

【0027】図9は、第2の実施例における特性の実測値を示す図である。図において、横軸は周波数で、また縦軸は挿入損失INS-LOSS、進行波P<sub>f</sub>、及び反射波P<sub>r</sub>

を表している。実測における周波数は、0.1~3.0 GHzとした。挿入損失INS-LOSSは周波数に変化してもほぼ一定値を維持し、0.96GHz, 1.2GHz, 1.5GHz, 1.9GHz, 2.4GHzの5つの周波数f1~f5における値はそれぞれ-0.11dB, -0.18dB, -0.27dB, -0.45dB, -0.58dBとなった。また、周波数f1~f5における進行波Pは-13.26dB, -10.96dB, -9.12dB, -7.19dB, -6.58dBとなり、反射波Prは-33.97dB, -28.77dB, -26.02dB, -23.10dB, -20.47dBとなった。これにより、各周波数f1~f5における結合度は13.15dB, 10.80dB, 8.86dB, 6.76dB, 5.00dBとなり、また分岐度は20.71dB, 17.79dB, 16.90dB, 15.91dB, 14.89dBとなっており、広帯域に亘って使用可能となる。

【0028】また、前述したように主線路22と副線路23の中央部22a, 23aをコア24によって囲むことにより、主線路22と副線路23との間の結合度を高めることができると共に、より低域での動作が可能となる。但し、コア24を使用することにより挿入損失が増大するが、低域のため問題はない。またこの場合、分離度が若干悪化するが終端抵抗器26の抵抗値を変えることによって調整可能である。さらに、コア24を使用することにより、見かけ上のインダクタンスが増加するため動作範囲が広がると共に、1/4波長結合線路を用いた方向性結合器に比べて実装時の占有面積を1/10以下に小型化することができる。

【0029】尚、本実施例における構成は一例でありこれに限定されることはない。

【0030】

【発明の効果】以上説明したように本発明の請求項1によれば、主線路及び副線路を誘電体基板の表面に対して平行な方向及び垂直な方向にそれぞれ形成することにより、前記主線路と副線路との間の電磁結合の状態が変化するから、前記主線路と副線路との間の結合度の調整範囲が広がり、挿入損失の周波数特性を所望の設計値に\*

\*容易に設定することができると共に、形状を小型に形成することができる。

【0031】また、請求項2によれば、上記の効果に加えて、副線路の一端に、誘電体基板上に成膜形成された終端抵抗器が接続されて整合状態が所望の値に設定されるので、使用する際に整合用の抵抗器を負荷する必要があることなく、最良の整合状態に設定することができる。

【0032】また、請求項3によれば、上記の効果に加えて、主線路と副線路の周囲の透磁率が高められるので、前記主線路と副線路との間の結合度を高めることができると共に、前記主線路と副線路の抵抗値を増大させることなくインダクタンス成分を大きくする事ができ、前記主線路と副線路との間の結合度を増大させることができる。

【0033】さらに、請求項4によれば、上記の効果に加えて、前記主線路と副線路との間に誘電体部材が介在され、前記主線路及び副線路の特性インピーダンスが変えられるので、形状をさらに小型化することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す構成図

【図2】従来例の等価回路を示す図

【図3】従来例の断面構造図

【図4】従来例の特性を示す図

【図5】第1の実施例の等価回路を示す図

【図6】第1の実施例の特性を示す図

【図7】第2の実施例を示す構成図

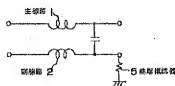
【図8】第2の実施例の等価回路を示す図

【図9】第2の実施例の特性を示す図

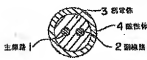
【符号の説明】

11, 21...基板、12, 22...主線路、13, 23...副線路、14, 26...終端抵抗器、15, 25...ガラス、24...コア。

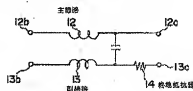
【図2】



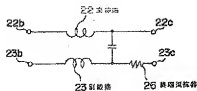
【図3】



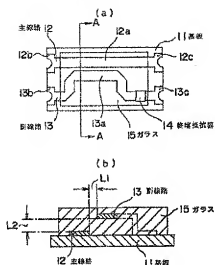
【図5】



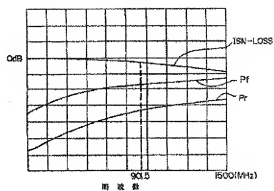
【図8】



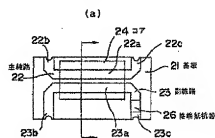
【図1】



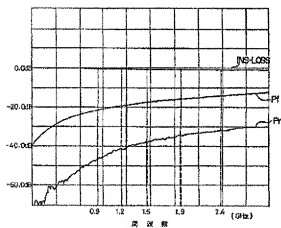
【図4】



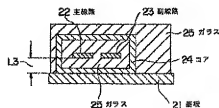
【図7】



【図6】



(b)



【図9】

